



PATENT
30169/30000

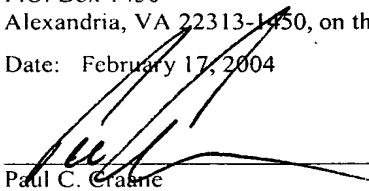
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s) : Stefan Scholl
Ser. No. : 10/668,684
Filed : September 23, 2003
Title : Process For Designing And
Manufacturing Semi-
Conductor Memory
Components, In Particular
DRAM Components
Art Unit : 2825
Examiner : Not Yet Assigned

) I hereby certify that this paper is being
) deposited with the United States Postal
) Service as First Class Mail, postage prepaid,
) in an envelope addressed to:

) MS Missing Parts
) Commissioner for Patents
) P.O. Box 1450
) Alexandria, VA 22313-1450, on this date:

) Date: February 17, 2004

) 
) Paul C. Craane
) Registration No. 38,851

TRANSMITTAL OF PRIORITY DOCUMENT

MS Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

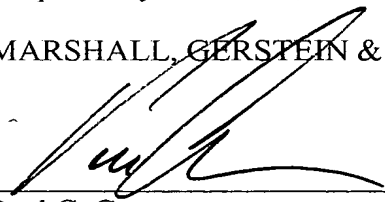
A certified copy of Patent Application No. 102 45 037.4, filed on September 26, 2002 in Germany, from which the present application claims priority under 35 U.S.C. §119, is enclosed.

Respectfully submitted,

MARSHALL, GERSTEIN & BORUN LLP

Date: February 17, 2004

By:


Paul C. Craane
Registration No. 38,851
6300 Sears Tower
233 South Wacker Drive
Chicago, Illinois 60606-6357
(312) 474-6300



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 45 037.4

Anmeldetag: 26. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zum Entwurf und zur Herstellung von Halbleiter-Speicherbauelementen, insbesondere von DRAM-Bauelementen

IPC: H 01 L 21/8239

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 23. September 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Brosig

Beschreibung

Verfahren zum Entwurf und zur Herstellung von Halbleiter-Speicherbauelementen, insbesondere von DRAM-Bauelementen

5

Die Erfindung betrifft ein Verfahren zum Entwurf, und ein Verfahren zum Herstellen von Halbleiter-Speicherbauelementen, insbesondere von DRAM-Bauelementen.

10

Bei Halbleiter-Speicherbauelementen unterscheidet man zwischen sog. Funktionsspeicher-Bauelementen (z.B. PLAs, PALs, etc.), und sog. Tabellenspeicher-Bauelementen, z.B. ROM-Bauelementen (ROM = Read Only Memory bzw.

15 Festwertspeicher), und RAM-Bauelementen (RAM = Random Access Memory bzw. Schreib-Lese-Speicher).

Ein RAM-Bauelement ist ein Speicher, bei dem man nach Vorgabe einer Adresse Daten abspeichern, und unter dieser Adresse
20 später wieder auslesen kann.

Da in einem RAM-Bauelement möglichst viele Speicherzellen untergebracht werden sollen, ist man bemüht, die Speicherzellen so einfach wie möglich zu realisieren. Bei
sog. SRAMs (SRAM = Static Random Access Memory) bestehen die
einzelnen Speicherzellen z.B. aus wenigen, beispielsweise 6
Transistoren, und bei sog. DRAMs (DRAM = Dynamic Random
Access Memory) i.A. nur aus einer einzigen, entsprechend
angesteuerten Kapazität (z.B. der Gate-Source-Kapazität eines
30 MOSFETS), mit der jeweils ein Bit als Ladung gespeichert
werden kann. Diese Ladung bleibt allerdings nur für kurze
Zeit erhalten, weshalb regelmäßig, z.B. ca. alle 64 ms, ein
sog. „Refresh“ durchgeführt werden muß.

35 Bei DRAM-Bauelementen kann zwischen sog. SDR-DRAMs, sowie
sog. DDR-DRAMs bzw. DDR2-DRAMs unterschieden werden. Bei SDR-
DRAMs (SDR-DRAM = Single Date Rate DRAM bzw. DRAM mit

einfacher Datenrate) werden die Daten im Bauelement jeweils nur bei der ansteigenden Taktflanke eines entsprechenden Taktsignals weitergeschaltet (oder alternativ jeweils nur bei der abfallenden Taktsignal-Flanke).

5

Demgegenüber werden bei DDR-DRAM-Bauelementen (DDR-DRAM = Double Data Rate DRAM bzw. DRAM mit doppelter Datenrate) - oder bei dem entsprechenden Nachfolgestandard „DDR2“ entsprechenden Bauelementen - die Daten sowohl bei der ansteigenden Flanke eines entsprechenden Taktsignals, als auch bei der abfallenden Flanke des jeweiligen Taktsignals weitergeschaltet.

10

Damit erfolgt in einem DDR-DRAM (bzw. einem DDR2-DRAM) die Weiterschaltung der Daten häufiger bzw. schneller (insbesondere doppelt so häufig, bzw. doppelt so schnell), wie bei einem SDR-DRAM.

15

Aufgrund weiter gestiegener Integrationsdichten und Funktionalitäten ist der Entwurf von RAM-, insbesondere DRAM-Bauelementen immer komplexer geworden.

20

Wegen der Komplexität der Bauelemente ist ein strukturierter - z.B. dem „Top-Down“- , „Bottom-Up“- , oder einem sonstigen, gängigen Ansatz folgender - Bauelement-Entwurf unerlässlich.

25

Beim Top-Down-Ansatz wird beispielsweise auf einer relativ hohen Abstraktions-Ebene mit dem Entwurf des entsprechenden Bauelements begonnen, und dann der entsprechende Entwurf - auf immer niedrigeren Abstraktions-Ebenen - immer weiter verfeinert (z.B. gemäß der von D. Gajski in: „Introduction to Silicon Compilation“, Reading (MA), vorgeschlagenen - in Figur 4 veranschaulichten - Vorgehensweise (funktional betrachtet) von einer „System-Ebene“ ausgehend über eine Algorithmen-, Register-Transfer- bzw. Logik-Ebene hin zu einer „Schaltkreis-Ebene“, etc., bzw. - strukturell betrachtet - von einer „CPU- bzw. Speicher-Ebene“ ausgehend

30

35

über eine Subsystem-, Modul-, Gatter-Ebene hin zu einer „Transistor-Ebene“, etc.), bis schließlich die zur Fertigung des Bauelements notwendigen Maskendaten vorliegen.

- 5 Dabei finden (auf jeder Abstraktions-Ebene) nach jedem Entwurfs-Schritt entsprechende Tests bzw. Simulationen statt; im Fehlerfall muß das Entwurfs-Ergebnis modifiziert bzw. der entsprechende Entwurfs-Schritt wiederholt, oder der Entwurf - auf einer höheren Ebene - erneut begonnen werden.
- 10 Durch diese Vorgehensweise kann - trotz der durch gestiegene Integrationsdichten und Funktionalitäten erhöhten Bauelement-Komplexität - sichergestellt werden, dass das entworfene Bauelement fehlerfrei arbeitet.
- 15 Allerdings kann die Komplexität von DRAM-Bauelementen z.B. dann noch weiter erhöht sein, wenn ein entsprechendes Bauelement beim Entwurf „variabel konfigurierbar“ ausgelegt wird (z.B. konfigurierbar als - wahlweise - SDR-DRAM, DDR-
- 20 DRAM oder DDR2-DRAM, und/oder als Bauelement mit 8- oder 16-Bit-Datenausgabe, und/oder als Bauelement mit oder ohne spezielle, optionale Features, z.B. mit oder ohne Stromspar-Modus, etc.).
- 25 Die tatsächliche Konfiguration des DRAM-Bauelements (z.B. als SDR-, DDR- oder DDR2-DRAM, etc.) wird mittels sog. Fuses oder Bonds - entsprechend den Wünschen des Kunden - erst nach der Herstellung des DRAM-Bauelements eingestellt.
- 30 Hierdurch können entsprechende Kundenwünsche - bis kurz vor der Auslieferung des Bauelements - berücksichtigt, d.h. das Bauelement mittels der o.g. Fuses oder Bonds - kundenspezifisch - konfiguriert werden.
- 35 Allerdings führt die bei der schließlich eingestellten Konfiguration nicht benötigte (jedoch für die übrigen, nicht

eingestellten Konfigurationen notwendige) Schaltungs-Logik zu einer weiter erhöhten Bauelement-Komplexität.

- 5 Die Erfindung hat zur Aufgabe, ein neuartiges Verfahren zum Entwurf, und ein neuartiges Verfahren zum Herstellen von Halbleiter-Speicherbauelementen, insbesondere von DRAM-Bauelementen zur Verfügung zu stellen.
- 10 Sie erreicht dieses und weitere Ziele durch die Gegenstände der Ansprüche 1 und 16.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

15

Gemäß einem Grundgedanken der Erfindung wird ein Verfahren zum Entwurf, und ein Verfahren zum Herstellen von Halbleiter-Speicherbauelementen, insbesondere von DRAM-Bauelementen zur Verfügung gestellt, wobei das Entwurfs- bzw. das Herstell-

- 20 Verfahren jeweils die Schritte aufweist:

- Entwurf eines bei einer ersten Konfiguration des Halbleiter-Speicherbauelements zu verwendenden, ersten Layouts für ein Modul des Halbleiter-Speicherbauelements;

- 25
 - Entwurf eines bei einer zweiten Konfiguration des Halbleiter-Speicherbauelements zu verwendenden, zweiten Layouts für das Halbleiter-Speicherbauelement-Modul;

- 30
 - Verwenden des ersten Layouts oder des zweiten Layouts für das Gesamt-Layout des Halbleiter-Speicherbauelements, abhängig von der jeweiligen Konfiguration des Halbleiter-Speicherbauelements.

Besonders vorteilhaft weisen das erste und zweite, insbesondere das erste, zweite und ggf. weitere Layouts für das Halbleiter-Speicherbauelement-Modul alle im wesentlichen
35 die gleiche, äußere Abmessung auf.

Bevorzugt ist eine Ausgestaltung der Erfindung, bei welcher das erste und zweite, insbesondere das erste, zweite und ggf. weitere Layouts für das Halbleiter-Speicherbauelement-Modul alle im wesentlichen am gleichen Ort des Gesamt-Layouts angeordnet sind.

Dadurch wird eine Art „DRAM-Bauelement-Architektur-Entwurfs-Kit“ zur Verfügung gestellt, wobei das DRAM-Bauelement - auf spezielle Art und Weise - „variabel konfiguriert“ werden kann: Dabei wird die entsprechende Konfiguration nicht - wie im Stand der Technik - mittels sog. Fuses oder Bonds erst nach der Herstellung des DRAM-Bauelements eingestellt, oder mittels Metalloptionen auf der Maske, sondern dadurch, dass auf Layout-Ebene (d.h. unmittelbar vor dem Schreiben der zur Herstellung des - entsprechend konfigurierten - DRAM-Bauelements benötigten Maske) - abhängig von der jeweils gewünschten Konfiguration - jeweils bestimmte, vorab entworfene Layouts bzw. Layout-Blöcke verwendet werden, und - anderen Konfigurationen zugeordnete - vorab entworfene Layouts bzw. Layout-Blöcke nicht verwendet werden (bzw. - abhängig von der jeweils gewünschten Konfiguration - jeweils bestimmte, vorab entworfene, anderen als der gewünschten Konfiguration zugeordnete Layouts bzw. Layout-Blöcke durch die der jeweils gewünschten Konfiguration zugeordneten, vorab entworfenen Layouts bzw. Layout-Blöcke ersetzt werden).

Hierdurch können entsprechende Kundenwünsche bzgl. der jeweils gewünschten Konfiguration des DRAM-Bauelements - bis kurz vor der Herstellung des DRAM-Bauelements, insbesondere bis kurz vor dem Schreiben der entsprechenden Maske - berücksichtigt werden.

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt:

Figur 1 eine schematische Darstellung des prinzipiellen Aufbaus eines Halbleiter-Speicherbauelements, welches - gemäß einer ersten Variante - konfiguriert wurde;

- 5 Figur 2 eine schematische Darstellung des prinzipiellen Aufbaus eines Halbleiter-Speicherbauelements, welches - gemäß einer zweiten Variante - konfiguriert wurde;

- 10 Figur 3 eine schematische Darstellung des Ablaufs der gemäß einem Ausführungsbeispiel der Erfindung beim Entwurf und bei der Herstellung des in Figur 1 und 2 gezeigten Halbleiter-Speicherbauelements durchgeführten Verfahrensschritte; und

- 15 Figur 4 eine schematische Darstellung möglicher, beim Entwurf des in Figur 1 und 2 gezeigten Halbleiter-Speicherbauelements durchlaufener Halbleiter-Bauelement-Entwurf-Abstraktions-Ebenen.

- 20 In Figur 1 ist - beispielhaft - eine schematische Darstellung eines Halbleiter-Speicherbauelements 1 bzw. Halbleiter-Speicher-Chips gezeigt, welches bzw. welcher bei einem Verfahren gemäß einem Ausführungsbeispiel der vorliegenden Erfindung entworfen wird bzw. entworfen worden ist.

- 25 Bei dem Halbleiter-Speicherbauelement 1 kann es sich z.B. um ein RAM-Bauelement handeln (RAM = Random Access Memory bzw. Schreib-Lese-Speicher), insbesondere um ein - auf CMOS-Technologie beruhendes - DRAM-Speicherbauelement (DRAM =
30 Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher).

- Beim DRAM-Speicherbauelement 1 können - nachdem an entsprechenden, mit einer Adreß-Eingabe-Schnittstellen-
35 Einheit 9 verbunden Adreß-Anschlüssen bzw. Adreß-Eingabe-Pads 9a, 9b, 9c, 9d eine entsprechende Adresse angelegt wurde -

unter der jeweiligen Adresse Daten abspeichert, und unter dieser Adresse später wieder ausgelesen werden.

5 Zur Ein- und Ausgabe der Daten ist eine Anzahl m von Daten-Anschlüssen 2a, 2b, 2c, 2d bzw. Daten-Ein-/Ausgabe-Pads vorgesehen, hier z.B. 16 Daten-Anschlüsse 2a, 2b, 2c, 2d, die an eine Daten-Ein-/Ausgabe-Schnittstellen-Einheit 2 angeschlossen sind.

10 Durch Anlegen eines entsprechenden Signals (z.B. eines Read/Write-Signals) an einen - hier nicht gezeigten - Schreib-/Lese-Auswahl-Anschluß bzw. -Pad kann jeweils ausgewählt werden, ob Daten abgespeichert, oder ausgelesen werden sollen.

15 Die in das Halbleiter-Speicherbauelement 1 eingegebenen Daten werden dort in entsprechenden Speicherzellen abgespeichert, und später wieder aus den entsprechenden Speicherzellen ausgelesen.

20 Jede Speicherzelle besteht nur aus einer einzigen, entsprechend angesteuerten Kapazität (z.B. der Gate-Source-Kapazität eines MOSFETS), mit der jeweils ein Bit als Ladung gespeichert werden kann.

25 Eine bestimmte Anzahl von Speicherzellen ist jeweils in einer rechteckförmigen bzw. quadratischen Matrix bzw. Array 3a, 3b, 3c, 3d liegend angeordnet, so daß in einem Array 3a, 3b, 3c, 3d - entsprechend der Anzahl der enthaltenen Speicherzellen -
30 z.B. 32 MBit, 64 MBit, 128 MBit, 256 MBit, etc. gespeichert werden können.

Wie in Figur 1 weiter gezeigt ist, weist das Halbleiter-Speicherbauelement 1 eine Zahl k (hier z.B. vier, jeweils
35 entsprechend aufgebaute, gleichmäßig über die Fläche des Bauelements verteilte) Speicherzellen-Arrays 3a, 3b, 3c, 3d auf, so daß sich entsprechend eine Gesamt-Speicherkapazität

von z.B. 128 MBit, 256 Mbit, 512 MBit, 1024 MBit (bzw. 1 GBit) für das Halbleiter-Speicherbauelement 1 ergibt.

5 Die o.g., an den Adreß-Anschlüssen 9a, 9b, 9c, 9d angelegte Adresse enthält eine entsprechende Anzahl (z.B. zwei) Bits, die dazu dienen, beim Abspeichern bzw. Auslesen von Daten den jeweils gewünschten Speicherzellen-Array 3a, 3b, 3c, 3d anzusprechen.

10 Die von den jeweiligen Arrays 3a, 3b, 3c, 3d ausgegebenen Daten werden jeweils von einer - hier nicht dargestellten, z.B. entsprechende Sense-Amplifier enthaltenden - Daten-Ein/Auslese-Logik ausgelesen, und über eine - ebenfalls hier nicht dargestellte, z.B. entsprechende Multiplexer bzw. De-
15 Multiplexer, Timer, Register, etc. enthaltende - Steuerlogik an einen von sämtlichen Arrays 3a, 3b, 3c, 3d gemeinsam genutzten, Chip-internen Datenpfad 6 bzw. Datenbus weitergeleitet - beim Einlesen von Daten in die Arrays 3a, 3b, 3c, 3d findet der entsprechend umgekehrte Vorgang statt.

20

Die an den Adreß-Anschlüssen 9a, 9b, 9c, 9d angelegte Adresse wird - z.B. über die Adreß-Eingabe-Schnittstellen-Einheit 9, und den Datenpfad 6 (oder einen weiteren, separaten Datenpfad) - an die jeweilige, am entsprechenden Array 3a, 3b, 3c, 3d vorgesehene Adress-Logik, insbesondere an eine -
25 z.B. einen Row- bzw. Zeilen-Decoder enthaltende - Row- bzw. Zeilen-Logik 5, bzw. eine - z.B. einen Column- bzw. Spalten-Decoder enthaltende - Column- bzw. Spalten-Logik 7 weitergeleitet, die dafür sorgen, dass - entsprechend der
30 angelegten Adresse - die jeweils gewünschte(n) Speicherzelle(n) adressiert wird (werden).

Wie in Figur 1 weiter gezeigt ist, ist beim DRAM-Speicherbauelement 1 eine (oder mehrere) - z.B. eine
35 entsprechende Spannungs-Regelungs-Schaltung enthaltende - Spannungsversorgungs-Einrichtung 4 vorgesehen, über welche

die entsprechenden Bauteile mit einer - aus einer externen Spannung gewonnenen - geregelten Spannung versorgt werden.

5 Das DRAM-Speicherbauelement 1 ist somit - von der Struktur her - identisch, wie herkömmliche DRAM-Speicherbauelemente, insbesondere wie herkömmliche, mittels Fuses oder Bonds konfigurierbare DRAM-Speicherbauelemente.

10 Figur 3 zeigt eine schematische Darstellung des Ablaufs der - gemäß einem Ausführungsbeispiel der Erfindung - beim Entwurf und bei der Herstellung von Halbleiter-Speicherbauelementen, insbesondere des in Figur 1 (bzw. des in Figur 2) gezeigten DRAM-Speicherbauelements 1 durchgeführten Verfahrensschritte.

15 Das DRAM-Speicherbauelement 1 ist - wie im folgenden noch genauer erläutert wird - auf besondere Weise „variabel konfigurierbar“ (z.B. konfigurierbar als - wahlweise - SDR-DRAM, DDR-DRAM oder DDR2-DRAM, und/oder als Speicherbauelement mit 8- oder 16-Bit-Datenausgabe, und/oder
20 als Speicherbauelement mit oder ohne spezielle, optionale Features, z.B. mit oder ohne Stromspar-Modus, etc.), wobei die jeweilige Konfiguration des DRAM-Speicherbauelements (z.B. als SDR-, DDR- oder DDR2-DRAM, etc.) nicht - wie im Stand der Technik - mittels sog. Fuses oder Bonds erst nach
25 der Herstellung des DRAM-Speicherbauelements eingestellt wird, oder mittels Metalloptionen auf der Maske, sondern dadurch, dass - wie im folgenden noch genauer erläutert wird - auf Layout-Ebene (d.h. unmittelbar vor dem Schreiben der zur Herstellung des - entsprechend konfigurierten - DRAM-Speicherbauelements 1 benötigten Maske) - abhängig von der
30 jeweils gewünschten Konfiguration - jeweils bestimmte, vorab entworfene Layout-Blöcke verwendet werden, und - anderen Konfigurationen zugeordnete - vorab entworfene Layout-Blöcke nicht verwendet werden (bzw. - abhängig von der jeweils
35 gewünschten Konfiguration - jeweils bestimmte, vorab entworfene, anderen als der gewünschten Konfiguration zugeordnete Layout-Blöcke durch die der jeweils gewünschten

Konfiguration zugeordneten, vorab entworfenen Layout-Blöcke ersetzt werden).

Hierdurch können entsprechende Kundenwünsche bzgl. der

- 5 jeweils gewünschten Konfiguration des DRAM-Speicherbauelements 1 - bis kurz vor der Herstellung des DRAM-Speicherbauelements 1, insbesondere bis kurz vor dem Schreiben der entsprechenden Maske - berücksichtigt werden.
- 10 Wie in Figur 3 gezeigt ist, wird beim Entwurf des DRAM-Speicherbauelements 1 zunächst - in einem ersten Schritt S1 - festgelegt, welche Eigenschaften des DRAM-Speicherbauelements 1 - auf die oben beschriebene Weise bis kurz vor der Herstellung des DRAM-Speicherbauelements 1, insbesondere bis
- 15 kurz vor dem Schreiben der entsprechenden Maske - konfigurierbar sein sollen, und welche Eigenschaften feststehen, d.h. nicht auf die o.g. Weise konfigurierbar sein sollen (und zwar nicht abhängig von tatsächlich, momentan, sondern von zukünftig, wahrscheinlich vorliegenden
- 20 Kundenwünschen).

Beispielsweise kann das DRAM-Speicherbauelement 1 konfigurierbar sein als:

- 25 - SDR-DRAM-, DDR-DRAM- oder DDR2-DRAM-Speicherbauelement (Option 1, Option 2, Option 3); und/oder
- Speicherbauelement mit 8- oder 16- oder 32-Bit-Datenausgabe (Option 1', Option 2', Option 3'); und/oder
- 30 - Speicherbauelement mit geringer, mittlerer oder hoher Daten- bzw. Takt-Rate (Option 1'', 2'', 3''); und/oder
- Speicherbauelement mit einer Spannungsversorgung gemäß
- 35 Typ 1, Typ 2, oder Typ 3 (Option 1''', 2''', 3'''); und/oder

- Speicherbauelement mit oder ohne spezielle, optionale Features (Option 1''', 2''', 3'''), z.B. mit oder ohne Stromspar-Modus, etc.

5 Daraufhin wird gemäß Figur 3 in einem nächsten Schritt (Schritt S2) das zu entwerfende DRAM-Speicherbauelement 1 - z.B. auf einer relativ hohen bzw. mittel-hohen Abstraktions-Ebene der in Figur 4 gezeigten Halbleiter-Bauelement-Entwurf-Abstraktions-Ebenen (z.B. - funktional betrachtet - der
10 System-, Algorithmen-, Register-Transfer- bzw. Logik-Ebene, bzw. - strukturell betrachtet - z.B. der Subsysteme- bzw. Module-Ebene) - in jeweils einzeln, getrennt voneinander bzw. separat zu entwerfende Elemente untergliedert (z.B. die - in Figur 1 gezeigten - Arrays 3a, 3b, 3c, 3d, die Daten-Ein-
15 /Ausgabe-Schnittstellen-Einheit 2, die Zeilen-Logik 5, die Spalten-Logik 7, den Datenpfad 6, die Adreß-Eingabe-Schnittstellen-Einheit 9, die Spannungsversorgungs-Einrichtung(en) 4, etc., sowie z.B. die o.g. Daten-Ein/Ausleselogik, usw.).

20

Beim darauffolgenden Schritt (Schritt S3) wird bestimmt, welche der o.g. Elemente konfigurationsabhängig sind (d.h., welche der o.g. Elemente für jeweils eine oder mehrere der insgesamt möglichen Konfigurationen (d.h. verschiedene, denkbare Kombinationen der o.g. Optionen, z.B. der Option 1 und der Option 1', der Option 1 und der Option 2', der Option 2 und der Option 1', etc.) jeweils unterschiedlich
25 ausgestaltet entworfen werden müssen), und welche der o.g. Elemente nicht konfigurationsabhängig sind (d.h. für sämtliche, mögliche Konfigurationen, d.h. denkbare Options-Kombinationen identisch ausgestaltet entworfen werden können).

30

Dabei kann - beim o.g., vorhergehenden Schritt S2 - die
35 Einteilung der Elemente (und ggf. deren Aufteilung in entsprechende - separat zu entwerfende - Sub-Elemente) so vorgenommen werden, dass jeweils möglichst wenige (bzw.

- möglichst wenige, kompliziert zu entwerfende bzw. möglichst wenige, relativ „große“) Elemente bzw. Sub-Elemente konfigurationsabhängig sind, und möglichst viele (bzw. möglichst viele, kompliziert zu entwerfende bzw. möglichst viele, relativ „große“) Elemente bzw. Sub-Elemente nicht konfigurationsabhängig sind - dadurch kann der zum Entwurf des DRAM-Speicherbaulements 1 insgesamt erforderliche Aufwand klein gehalten werden.
- 5
- 10 Als nächstes wird - bei nicht konfigurationsabhängigen Elementen bzw. Sub-Elementen (hier z.B. bei den in Figur 1 gezeigten Arrays 3a, 3b, 3c, 3d, oder z.B. bei der Zeilen- und/oder Spalten-Logik 5, 7, etc.) - das entsprechende Element bzw. Sub-Element dann im Detail - bis zur Layout-
- 15 Ebene hin - entworfen (Schritt S4).

- Mit anderen Worten wird also für das jeweilige Element bzw. Sub-Element ein - für alle möglichen Konfigurationen gemeinsam gültiger - Layout-Entwurf bereitgestellt - z.B.
- 20 gemäß Figur 1 für die Arrays 3a, 3b, 3c, 3d ein einziges, allgemein gültiges Array-Layout 3 (bzw. ein entsprechender Array-Layout-Block 3), oder z.B. für die Zeilen- und/oder Spalten-Logik 5, 7 jeweils allgemein gültige Zeilen- und/oder Spalten-Logik-Layouts (bzw. entsprechende Zeilen- und/oder
- 35 Spalten-Logik-Layout-Blöcke), etc.

- Dabei wird ein gängiges Entwurfs-Verfahren verwendet, z.B. gemäß dem „Top-Down“- , „Bottom-Up“- , oder einem sonstigen, gängigen Ansatz. Beispielsweise wird - auf an sich bekannte
- 30 Weise - z.B. auf einer relativ hohen Abstraktions-Ebene mit dem Entwurf des entsprechenden Elements bzw. Sub-Elements begonnen, und dann der entsprechende Entwurf - auf immer niedrigeren Abstraktions-Ebenen - immer weiter verfeinert (z.B. entsprechend wie in Figur 4 gezeigt - funktional
- 35 betrachtet - von einer Sub-System- bzw. Algorithmen-Ebene ausgehend über eine Register-Transfer- bzw. Logik-Ebene hin zu einer „Schaltkreis-Ebene“, etc., bzw. - strukturell

betrachtet - von einer Subsystem- oder Modul-Ebene ausgehend über eine Gatter-Ebene hin zu einer „Transistor-Ebene“, etc.), bis schließlich die zur Fertigung des entsprechenden Elements bzw. Sub-Elements notwendigen, exakten, physikalischen Layout-Daten, insbesondere die entsprechenden Masken-Daten vorliegen.

Dabei finden (auf jeder Abstraktions-Ebene) nach jedem Entwurfs-Schritt entsprechende Tests bzw. Simulationen statt; im Fehlerfall muß das Entwurfs-Ergebnis modifiziert bzw. der entsprechende Entwurfs-Schritt wiederholt, oder der Entwurf - auf einer höheren Ebene - erneut begonnen werden.

Zum Entwurf bzw. zum Testen und Simulieren kann standardmäßige CAD-Software eingesetzt werden, z.B. VHDL oder Verilog, SPICE, etc.

Demgegenüber wird - anders als bei den o.g., nicht konfigurationsabhängigen Elementen bzw. Sub-Elementen - bei Elementen bzw. Sub-Elementen, die - abhängig von der jeweiligen Konfiguration - unterschiedlich ausgestaltet sein müssen (hier z.B. die in Figur 1 gezeigte Daten-Ein-/Ausgabe-Schnittstellen-Einheit 2, der Datenpfad 6, die Adreß-Eingabe-Schnittstellen-Einheit 9, die Spannungsversorgungs-Einrichtung(en) 4, etc.), das entsprechende Element bzw. Sub-Element - separat für jede mögliche Konfiguration, d.h. mehrfach - im Detail entworfen (d.h. es werden für das jeweilige Element bzw. Sub-Element (separat für die jeweiligen DRAM-Speicherbauelement-Konfigurationen) jeweils mehrere, zugeordnete Layout-Entwürfe bereitgestellt - z.B. gemäß Figur 1 für die Daten-Ein-/Ausgabe-Schnittstellen-Einheit 2 drei verschiedene, entsprechend unterschiedlichen Konfigurationen zugeordnete Daten-Ein-/Ausgabe-Schnittstellen-Einheit-Layouts 2', 2'', 2''' (bzw. entsprechende Daten-Ein-/Ausgabe-Schnittstellen-Einheit-Layout-Blöcke 2', 2'', 2'''), für die Spannungsversorgungs-Einrichtung 4 drei verschiedene, entsprechend

unterschiedlichen Konfigurationen zugeordnete
Spannungsversorgungs-Einrichtung-Layouts 4', 4'', 4''' (bzw.
entsprechende Spannungsversorgungs-Einrichtung-Layout-Blöcke
4', 4'', 4'''), für die Adreß-Eingabe-Schnittstellen-Einheit
5 9 drei verschiedene, entsprechend unterschiedlichen
Konfigurationen zugeordnete Adreß-Eingabe-Schnittstellen-
Einheit-Layouts 9', 9'', 9''' (bzw. entsprechende Adreß-
Eingabe-Schnittstellen-Einheit-Layout-Blöcke 9', 9'', 9'''),
etc. (Schritt S5)).

10

Dabei wird - entsprechend wie oben erläutert - ein gängiges
Entwurfs-Verfahren verwendet, z.B. gemäß dem „Top-Down“-,
„Bottom-Up“-, oder einem sonstigen, gängigen Ansatz.
Beispielsweise wird - auf an sich bekannte Weise - z.B. auf
15 einer relativ hohen Abstraktions-Ebene mit dem Entwurf des
entsprechenden Elements bzw. Sub-Elements begonnen, und dann
der entsprechende Entwurf - auf immer niedrigeren
Abstraktions-Ebenen - immer weiter verfeinert (z.B.
entsprechend wie in Figur 4 gezeigt - funktional betrachtet -
20 von einer Sub-System- bzw. Algorithmen-Ebene ausgehend über
eine Register-Transfer- bzw. Logik-Ebene hin zu einer
„Schaltkreis-Ebene“, etc., bzw. - strukturell betrachtet -
von einer Subsystem- oder Modul-Ebene ausgehend über eine
Gatter-Ebene hin zu einer „Transistor-Ebene“, etc.), bis
25 schließlich die zur Fertigung des entsprechenden Elements
bzw. Sub-Elements notwendigen, exakten, physikalischen
Layout-Daten, insbesondere die entsprechenden Masken-Daten
vorliegen.

30

Dabei finden (auf jeder Abstraktions-Ebene) - ebenfalls
entsprechend wie oben erläutert - nach jedem Entwurfs-Schritt
entsprechende Tests bzw. Simulationen statt; im Fehlerfall
muß das Entwurfs-Ergebnis modifiziert bzw. der entsprechende
Entwurfs-Schritt wiederholt, oder der Entwurf - auf einer
35 höheren Ebene - erneut begonnen werden.

Wie in Figur 1 und 2 veranschaulicht ist, wird - z.B. beim o.g Schritt S2 - jedem Element bzw. Sub-Element (unabhängig von der jeweiligen Konfiguration, für die das entsprechende Element bzw. Sub-Element entworfen wird) jeweils ein
5 bestimmtes - bezüglich Lage und Größe - vorab feststehendes Gebiet auf dem DRAM-Speicherbauelement zugeordnet (wobei das Schnittstellen-Verhalten des entsprechenden Elements bzw. Sub-Elements bezüglich den übrigen Elementen bzw. Sub-Elementen - z.B. ebenfalls beim o.g Schritt S2 - genau
10 definiert, und beim o.g. Entwurfs-Prozess eingehalten werden muss).

Abhängig von der vom jeweiligen Kunden - tatsächlich - gewünschten Konfiguration werden dann (gemäß Schritt S6,
15 Figur 3) die Gesamt-Layout-Entwurfs-Daten bereitgestellt.

Dabei werden - abhängig von der jeweils gewünschten Konfiguration - jeweils die der entsprechenden Konfiguration zugeordneten, konfigurationsabhängigen Layout-Blöcke
20 verwendet (z.B. bei der in Figur 1 gezeigten Konfiguration der erste Daten-Ein-/Ausgabe-Schnittstellen-Einheit-Layout-Block 2', der erste Spannungsversorgungs-Einrichtung-Layout-Block 4', der erste Adreß-Eingabe-Schnittstellen-Einheit-Layout-Block 9', etc., und bei der in Figur 2 gezeigten
25 Konfiguration der zweite Daten-Ein-/Ausgabe-Schnittstellen-Einheit-Layout-Block 2'', der dritte Spannungsversorgungs-Einrichtung-Layout-Block 4''', der zweite Adreß-Eingabe-Schnittstellen-Einheit-Layout-Block 9'', etc.), sowie jeweils
- bei sämtlichen Konfigurationen identisch - jeweils
30 sämtliche - nicht-konfigurationsspezifischen - Layout-Blöcke 3.

Anhand des auf diese Weise zusammengesetzten Gesamt-Layouts (bzw. basierend auf den auf diese Weise zusammengestellten
35 Gesamt-Layout- bzw. Masken-Daten) wird dann die entsprechende Maske geschrieben, und mit dieser ein - entsprechend konfiguriertes - DRAM-Speicherbauelement 1 hergestellt.

Hierdurch können entsprechende Kundenwünsche bzgl. der jeweils gewünschten Konfiguration des DRAM-Speicherbauelements 1 - bis kurz vor der Herstellung des
5 DRAM-Speicherbauelements 1, insbesondere bis kurz vor dem Schreiben der entsprechenden Maske - berücksichtigt werden.

Da jeder einzelne der o.g. Layout-Blöcke nur jeweils bei einer einzigen Konfiguration verwendet wird, ist die Gesamt-
10 Komplexität des DRAM-Speicherbauelements 1 geringer, als bei herkömmlichen, mittels Fuses oder Bonds konfigurierten DRAM-Speicherbauelementen.

Bei einem alternativen Ausführungsbeispiel können einer oder
15 mehrere der o.g. - den o.g. Elementen bzw. Sub-Elementen zugeordneten - Layouts bzw. Layout-Blöcke 2', 2'', 2''', 4', 4'', 4''', 9', 9'', 9''', 3 - später - zum Entwurf von zu den in Figur 1 und 2 gezeigten DRAM-Speicherbauelementen 1, 2 unterschiedlichen (ähnlich oder unterschiedlich
20 strukturierten), weiteren Halbleiter-Speicherbauelementen, insbesondere DRAM-Speicherbauelementen wiederverwendet werden (z.B. einer oder mehrere der o.g. konfigurationsunabhängigen Layout-Blöcke, und/oder einer oder mehrere der o.g. konfigurationsabhängigen Layout-Blöcke, z.B. nur einer, oder
25 mehrere der - abhängig von der Konfiguration - einem bestimmten Element bzw. Sub-Element zugeordneten Layouts bzw. Layout-Blöcke, etc.).

Basierend z.B. ausschließlich auf wiederverwendeten, oder auf
30 wiederverwendeten, und neu entworfenen Layout-Blöcken werden dann (ggf. abhängig von der vom jeweiligen Kunden gewünschten Konfiguration) - entsprechend wie oben beschrieben - die Gesamt-Layout-Entwurfs-Daten für das o.g. weitere Halbleiter-Speicherbauelement bzw. weitere DRAM-Speicherbauelement
35 bereitgestellt.

Dadurch kann das o.g. weitere Halbleiter-Speicherbauelement bzw. weitere DRAM-Speicherbauelement schneller und mit weniger Aufwand entworfen werden, als herkömmliche Halbleiter-Speicherbauelemente bzw. DRAM-Speicherbauelemente.

Patentansprüche

1. Verfahren zum Entwurf von Halbleiter-

Speicherbauelementen (1), insbesondere von DRAM-Bauelementen,

5 wobei das Verfahren die Schritte aufweist:

- Entwurf eines bei einer ersten Konfiguration des Halbleiter-Speicherbauelements (1) zu verwendenden, ersten Layouts (2') für ein Modul (2) des Halbleiter-Speicherbauelements (1);

10 - Entwurf eines bei einer zweiten Konfiguration des Halbleiter-Speicherbauelements (1) zu verwendenden, zweiten Layouts (2'') für das Halbleiter-Speicherbauelement-Modul (2);

15 - Verwenden des ersten Layouts (2') oder des zweiten Layouts (2'') für das Gesamt-Layout des Halbleiter-Speicherbauelements Konfiguration des H *AA 3+4* (1).

2. Verfahren nach

20 zusätzlich die Schritte

- Entwurf eines bei einer dritten Konfiguration des Halbleiter-Speicherbauelements (1) zu verwendenden, dritten Layouts (2''') für das Halbleiter-Speicherbauelement-Modul (2);

25 - Verwenden des ersten Layouts (2'), des zweiten Layouts (2'') oder des dritten Layouts (2''') für das Gesamt-Layout des Halbleiter-Speicherbauelements Konfiguration des Halbleiter-Speicherbauelements (1).

30 3. Verfahren nach Anspruch 1 oder 2, wobei das erste und zweite, insbesondere das erste, zweite und dritte Layout (2', 2'', 2''') für das Halbleiter-Speicherbauelement-Modul (2) alle im wesentlichen die gleiche, äußere Abmessung aufweisen.

*- nach Konfiguration auf der alle drei
und mit gleicher Ort zugeordnet sind*

35 4. Verfahren nach einem der vorhergehenden Ansprüche, wobei das erste und zweite, insbesondere das erste, zweite und dritte Layout (2', 2'', 2''') für das Halbleiter-

Speicherbauelement-Modul (2) alle im wesentlichen am gleichen Ort des Gesamt-Layouts angeordnet sind.

5. Verfahren nach einem der vorhergehenden Ansprüche, wobei
5 das Verfahren zusätzlich die Schritte aufweist:
- Entwurf eines weiteren Layouts (3) für ein weiteres Modul (3a) des Halbleiter-Speicherbauelements (1);
 - Verwenden des weiteren Layouts (3) für das Gesamt-Layout des Halbleiter-Speicherbauelements (1), unabhängig von der
10 jeweiligen Konfiguration des Halbleiter-Speicherbauelements (1).
6. Verfahren nach einem der vorhergehenden Ansprüche, wobei
das Halbleiter-Speicherbauelement (1) ein RAM-Bauelement ist.
15
7. Verfahren nach Anspruch 6, wobei das Halbleiter-Speicherbauelement (1) ein DRAM-Bauelement ist.
8. Verfahren nach Anspruch 7, wobei die Struktur des DRAM-Bauelements (1) im wesentlichen identisch ist, wie bei
20 mittels Fuses oder Bonds konfigurierbaren DRAM-Bauelementen.
9. Verfahren nach einem der vorhergehenden Ansprüche, wobei
das erste und zweite, insbesondere erste, zweite und dritte
25 Layout (2', 2'', 2'''), und/oder das weitere Layout (3) und/oder zusätzliche Layouts (9', 9'', 9'''; 4', 4'', 4''') - insbesondere bei gemeinsamen Einsatz - ausschließlich für die Verwendung bei Halbleiter-Speicherbauelementen (1), insbesondere RAM- oder DRAM-Bauelementen geeignet sind.
30
10. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Modul (2) einer relativ hohen bzw. mittel-hohen Halbleiter-Bauelement-Entwurf-Abstraktions-Ebene zugeordnet ist, insbesondere einer Subsystem-, Algorithmen-, Register-
35 Transfer-, Logik-, bzw. Module-Ebene.

11. Verfahren nach Anspruch 10, wobei das Modul (2) nicht der höchsten Halbleiter-Bauelement-Entwurf-Abstraktions-Ebene zugeordnet ist, insbesondere nicht einer System- bzw. CPU/Speicher-Ebene.

5

12. Verfahren nach einem der vorhergehenden Ansprüche, wobei sich entsprechend der jeweils gewählten Halbleiter-Speicherbauelement-Konfiguration ein Gesamt-Layout für ein SDR- oder DDR-DRAM-, bzw. ein DDR2-DRAM-Bauelement ergibt.

10

13. Verfahren nach einem der vorhergehenden Ansprüche, wobei sich entsprechend der jeweils gewählten Halbleiter-Speicherbauelement-Konfiguration ein Gesamt-Layout für ein Halbleiter-Speicherbauelement (1) mit einer der jeweiligen Konfiguration entsprechenden Anzahl an Bits für die Datenausgabe ergibt.

15

14. Verfahren nach einem der vorhergehenden Ansprüche, wobei sich entsprechend der jeweils gewählten Halbleiter-Speicherbauelement-Konfiguration ein Gesamt-Layout für ein Halbleiter-Speicherbauelement (1) mit einer der jeweiligen Konfiguration entsprechenden Daten- bzw. Takt-Rate ergibt.

20

15. Verfahren nach einem der vorhergehenden Ansprüche, wobei sich entsprechend der jeweils gewählten Halbleiter-Speicherbauelement-Konfiguration ein Gesamt-Layout für ein Halbleiter-Speicherbauelement (1) mit einer der jeweiligen Konfiguration entsprechend ausgestalteten Spannungsversorgung ergibt.

25

16. Verfahren zum Herstellen von Halbleiter-Speicherbauelementen (1), insbesondere von DRAM-Bauelementen, wobei das Verfahren die Schritte aufweist:

30

- Entwurf eines bei einer ersten Konfiguration des Halbleiter-Speicherbauelements (1) zu verwendenden, ersten Layouts (2') für ein Modul (2) des Halbleiter-Speicherbauelements (1);

35

- Entwurf eines bei einer zweiten Konfiguration des Halbleiter-Speicherbauelements (1) zu verwendenden, zweiten Layouts (2'') für das Halbleiter-Speicherbauelement-Modul (2);
- 5 - Verwenden des ersten Layouts (2') oder des zweiten Layouts (2'') für das Gesamt-Layout des Halbleiter-Speicherbauelements (1), abhängig von der jeweiligen Konfiguration des Halbleiter-Speicherbauelements (1);
- Herstellen einer auf dem Gesamt-Layout basierenden
- 10 Maske, insbesondere Photomaske.
17. Verfahren zum Herstellen von Halbleiter-Speicherbauelementen (1) nach Anspruch 16, wobei das Verfahren zusätzlich den Schritt aufweist: Herstellen eines
- 15 Halbleiter-Speicherbauelements (1) unter Verwendung der hergestellten Maske, insbesondere Photomaske.

Zusammenfassung

Verfahren zum Entwurf und zur Herstellung von Halbleiter-Speicherbauelementen, insbesondere von DRAM-Bauelementen

5

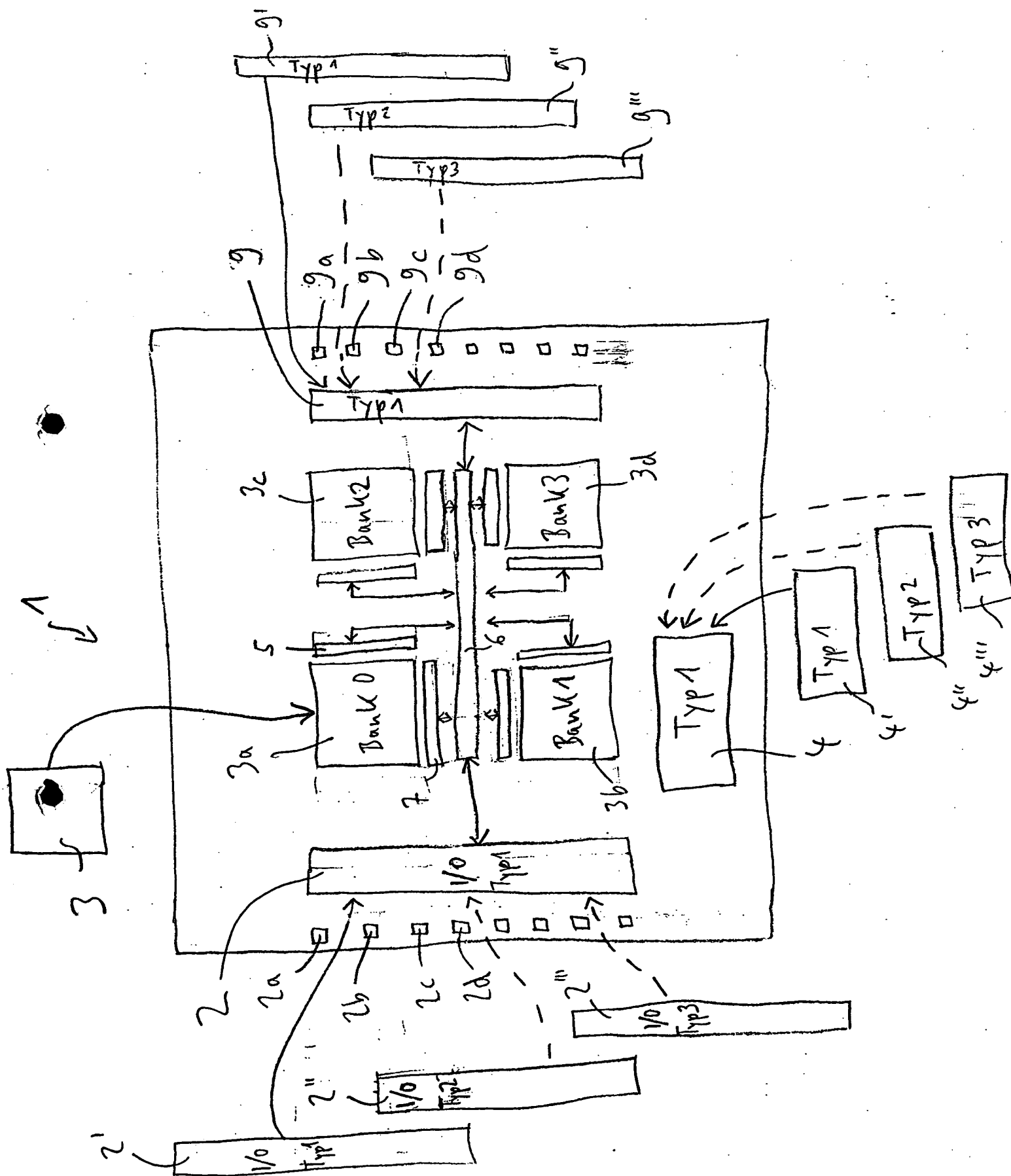
Die Erfindung betrifft ein Verfahren zum Entwurf, und ein Verfahren zum Herstellen von Halbleiter-Speicherbauelementen (1), insbesondere von DRAM-Bauelementen, wobei die Verfahren die Schritte aufweisen:

- 10 - Entwurf eines bei einer ersten Konfiguration des Halbleiter-Speicherbauelements (1) zu verwendenden, ersten Layouts (2') für ein Modul (2) des Halbleiter-Speicherbauelements (1);
- Entwurf eines bei einer zweiten Konfiguration des Halbleiter-Speicherbauelements (1) zu verwendenden, zweiten Layouts (2'') für das Halbleiter-Speicherbauelement-Modul (2);
- 15 - Verwenden des ersten Layouts (2') oder des zweiten Layouts (2'') für das Gesamt-Layout des Halbleiter-Speicherbauelements (1), abhängig von der jeweiligen Konfiguration des Halbleiter-Speicherbauelements (1).

20

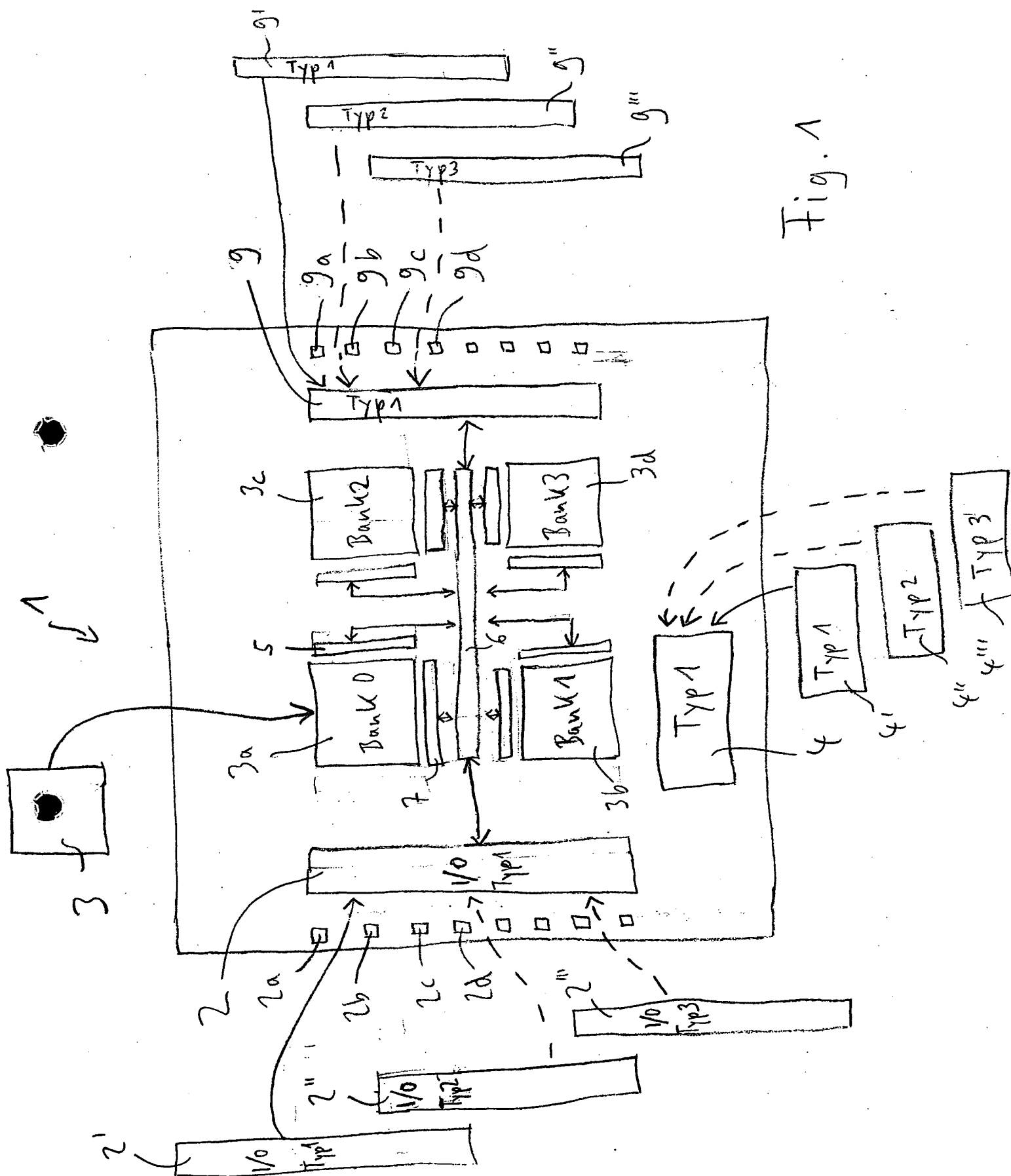
- Figur 1 -

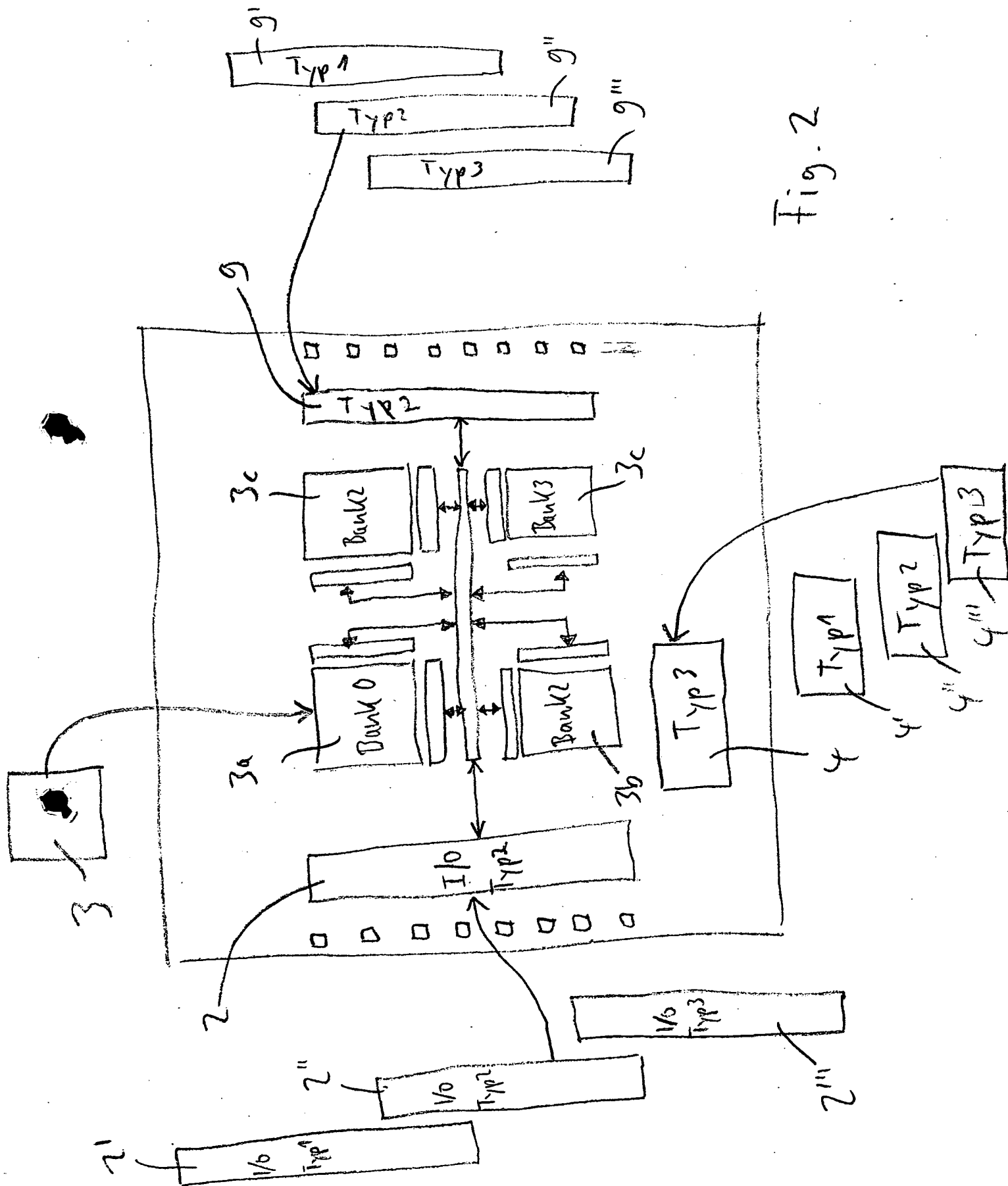
Zusammenfassung



Bezugszeichen

	1	Halbleiter-Speicherbauelement
5	2	Daten-Ein-/Ausgabe-Schnittstellen-Einheit
	2'	Daten-Ein-/Ausgabe-Schnittstellen-Einheit-Layout-Block
	2''	Daten-Ein-/Ausgabe-Schnittstellen-Einheit-Layout-Block
	2'''	Daten-Ein-/Ausgabe-Schnittstellen-Einheit-Layout-Block
	2a	Daten-Anschluss
10	2b	Daten-Anschluss
	2c	Daten-Anschluss
	2d	Daten-Anschluss
	3a	Speicherzellen-Matrix
	3b	Speicherzellen-Matrix
15	3c	Speicherzellen-Matrix
	3d	Speicherzellen-Matrix
	3	Speicherzellen-Matrix-Layout-Block
	4	Spannungsversorgungs-Einrichtung
	4'	Spannungsversorgungs-Einrichtung-Layout-Block
20	4''	Spannungsversorgungs-Einrichtung-Layout-Block
	4'''	Spannungsversorgungs-Einrichtung-Layout-Block
	5	Zeilen-Logik
	6	Datenpfad
	7	Spalten-Logik
25	9	Adreß-Eingabe-Schnittstellen-Einheit
	9'	Adreß-Eingabe-Schnittstellen-Einheit-Layout-Block
	9''	Adreß-Eingabe-Schnittstellen-Einheit-Layout-Block
	9'''	Adreß-Eingabe-Schnittstellen-Einheit-Layout-Block
	9a	Adress-Anschluss
30	9b	Adress-Anschluss
	9c	Adress-Anschluss
	9d	Adress-Anschluss





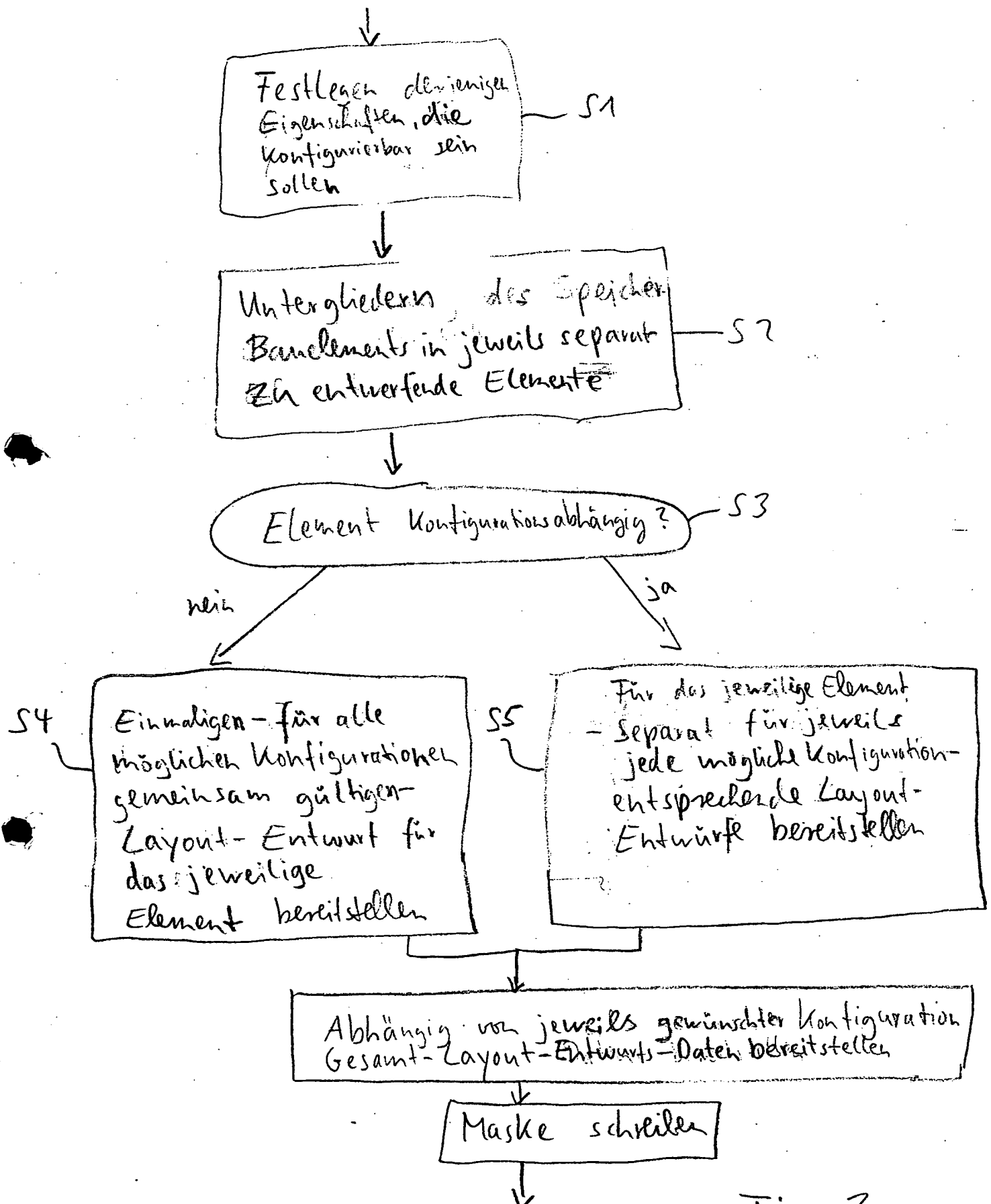


Fig. 3

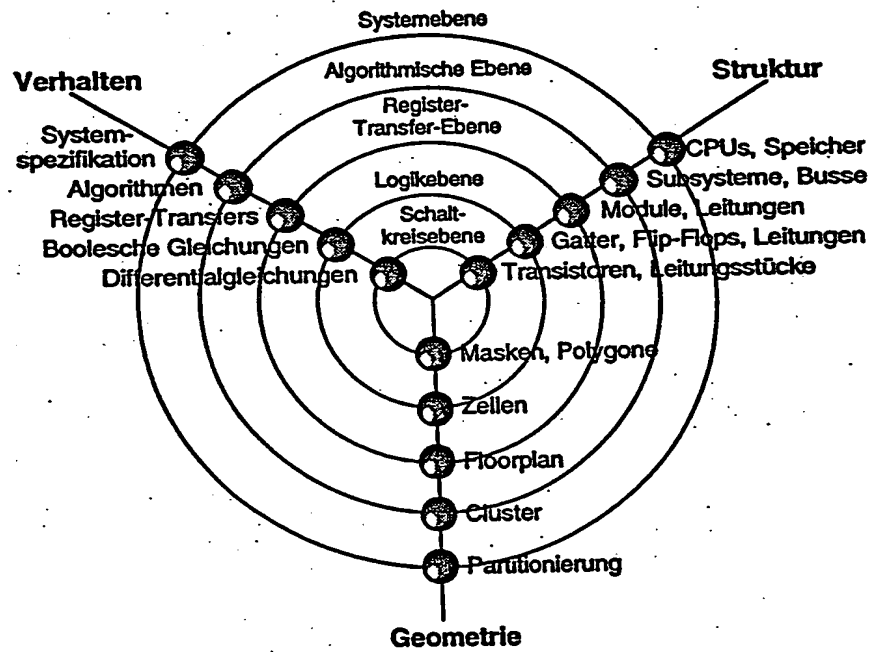


Fig. 4